

#3 | Priority
paper
12-10-01
Roth

Docket No.: 50090-449

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takashi TERAUCHI, et al.

Serial No.:

Group Art Unit:

Filed: October 15, 2001

Examiner:

For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, AND
SEMICONDUCTOR DEVICE HAVING MEMORY CELL

1c821 U.S. PTO
09/976341
10/15/01

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

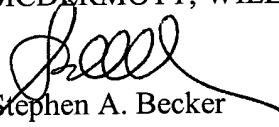
Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:
Japanese Patent Application No. 2001-116398,
Filed April 16, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:ykg
Date: October 15, 2001
Facsimile: (202) 756-8087

G 497W5
#3

50090-449

日 本 国 特 許
JAPAN PATENT OFFICE

庁 OCTOBER 15, 2001
TERAMOTO, ETAL.
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月16日

出 願 番 号

Application Number:

特願2001-116398

出 願 人

Applicant(s):

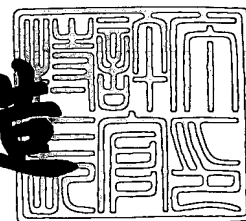
三菱電機株式会社

1c821 U.S. PTO
09/976341
10/15/01

2001年 5月11日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3038735

【書類名】 特許願

【整理番号】 529849JP01

【提出日】 平成13年 4月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00
H01L 21/768

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 寺内 崇

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 寺本 章伸

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、および半導体装置

【特許請求の範囲】

【請求項 1】 基板上にゲート酸化膜を形成する工程と、
前記ゲート酸化膜上に第 1 シリコン膜および絶縁膜を含むゲート配線を形成する工程と、

前記ゲート配線をマスクとして前記基板内に不純物を注入して、第 1 拡散層を形成する工程と、

前記第 1 拡散層を形成した後、前記ゲート配線を覆うように前記基板の全面に第 2 シリコン膜を形成する工程と、

前記第 2 シリコン膜を熱酸化して熱酸化膜を形成する工程と、

前記熱酸化膜上に層間絶縁膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 に記載の製造方法において、

前記ゲート配線は、前記第 1 シリコン膜と前記絶縁膜の間にシリサイド膜を含むことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は 2 に記載の製造方法において、

前記第 1 シリコン膜は、ドーフトシリコン膜であり、

前記第 2 シリコン膜は、700℃よりも高い温度で形成されることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 から 3 の何れかに記載の製造方法において、

前記第 2 シリコン膜は、ドーフトシリコン膜であることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 から 4 の何れかに記載の製造方法において、

前記熱酸化膜を形成した後、前記層間絶縁膜の形成に先立って、前記熱酸化膜をマスクとして前記基板内に不純物を注入して、前記第 1 拡散層よりも不純物濃度が高い第 2 拡散層を形成する工程を更に含むことを特徴とする半導体装置の製造方法。

【請求項 6】 基板上にゲート酸化膜を形成する工程と、

、前記ゲート酸化膜上に第 1 シリコン膜および絶縁膜を含むゲート配線を形成する工程と、

前記ゲート配線をマスクとして前記基板内に不純物を注入して、第 1 拡散層を形成する工程と、

前記第 1 拡散層を形成した後、前記第 1 シリコン膜の側面を覆う第 2 シリコン膜を形成する工程と、

前記第 2 シリコン膜を熱酸化して熱酸化膜を形成する工程と、

前記熱酸化膜を形成した後、前記ゲート電極を覆うように前記基板全面に層間絶縁膜を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の製造方法において、

前記ゲート配線は、前記第 1 シリコン膜と前記絶縁膜との間に、シリサイド膜を含み、

前記第 2 シリコン膜は、前記第 1 シリコン膜の側面および前記シリサイドの側面を覆うことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 6 又は 7 に記載の製造方法において、

前記第 1 シリコン膜は、ドーフトシリコン膜であり、

前記第 2 シリコン膜は、700℃よりも高い温度で形成されることを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 6 から 8 の何れかに記載の製造方法において、

前記第 2 シリコン膜は、ドーフトシリコン膜であることを特徴とする半導体装置の製造方法。

【請求項 10】 請求項 6 から 9 の何れかに記載の製造方法において、

前記熱酸化膜を形成した後、前記層間絶縁膜の形成に先立って、前記熱酸化膜をマスクとして前記基板内に不純物を注入して、前記第 1 拡散層よりも不純物濃度が高い第 2 拡散層を形成する工程を更に含むことを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 6 から 10 の何れかに記載の製造方法において、

前記熱酸化膜を形成する工程で、前記第 2 シリコン膜の表面を熱酸化して熱酸

化膜の層を形成し、当該熱酸化膜の層と前記ゲート配線との間に第 2 シリコン膜の層を残すことを特徴とする半導体装置の製造方法。

【請求項 1 2】 請求項 1 1 に記載の製造方法において、

前記第 2 シリコン膜の 3 分の 1 から 3 分の 2 を熱酸化して、前記熱酸化膜の層を形成することを特徴とする半導体装置の製造方法。

【請求項 1 3】 請求項 1 から 1 2 の何れかに記載の製造方法において、

前記第 2 シリコン膜を 7 0 0 ~ 1 2 0 0 ℃ の温度で熱酸化することを特徴とする半導体装置の製造方法。

【請求項 1 4】 請求項 1 から 1 3 の何れかに記載の半導体装置の製造方法

を用いて製造されることを特徴とする半導体装置。

【請求項 1 5】 基板と、

前記基板上に形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成され、第 1 シリコン膜および絶縁膜を含む複数のゲート配線と、

前記ゲート配線間の前記基板内に形成された不純物拡散層と、

前記ゲート電極を覆う熱酸化膜と、

前記熱酸化膜上に形成された層間絶縁膜と、を備え、

前記絶縁膜の側面と、前記第 1 シリコン膜および前記シリサイド膜の側面とが、同一面を形成することを特徴とする半導体装置。

【請求項 1 6】 請求項 1 5 に記載の半導体装置において、

前記ゲート配線は、前記第 1 シリコン膜と前記絶縁膜の間にシリサイド膜を含むことを特徴とする半導体装置。

【請求項 1 7】 請求項 1 6 に記載の半導体装置において、

前記熱酸化膜が、前記ゲート電極を構成する前記第 1 シリコン膜および前記シリサイド膜の側面のみを覆うことを特徴とする半導体装置。

【請求項 1 8】 請求項 1 5 から 1 7 の何れかに記載の半導体装置において

前記ゲート配線の側面を覆う前記熱酸化膜の膜厚が均一であることを特徴とする半導体装置。

【請求項 1 9】 請求項 1 6 又は 1 7 に記載の半導体装置において、
前記シリサイド膜の側面を覆う前記熱酸化膜の膜厚より、前記第 1 シリコン膜
の側面を覆う前記熱酸化膜の膜厚が厚いことを特徴とする半導体装置。

【請求項 2 0】 請求項 1 5 から 1 9 の何れかに記載の半導体装置において、
前記ゲート電極の側面と、前記熱酸化膜との間に第 2 シリコン膜を含むことを
特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体装置に係り、特にメモリセルト
ランジスタに関するものである。

【0 0 0 2】

【従来の技術】

従来より、ゲートエッジ（後述）における電界集中による G I D L（Gate Ind
uced Drain Leakage）を抑制するために、ゲート配線の側壁を熱酸化処理し、ゲ
ートエッジにゲートバースピークを形成している。

【0 0 0 3】

以下、従来の半導体装置の製造方法について説明する。

図 2 6 ～図 3 1 は、従来の半導体装置の製造方法を説明するための断面図であ
る。

【0 0 0 4】

先ず、図 2 6 に示すように、基板 1 上にゲート酸化膜 2 を形成する。次に、ゲ
ート酸化膜 2 上に、例えばポリシリコン膜やアモルファスシリコン膜にリンがド
ープされてなるシリコン膜 3 を形成する。そして、シリコン膜 3 上にシリサイド
膜 4 を形成する。さらに、シリサイド膜 4 上に絶縁膜 5 を形成する。

【0 0 0 5】

次に、図 2 7 に示すように、写真製版工程によりレジストパターン 6 を絶縁膜
5 上に形成する。

、そして、図 2 8 に示すように、レジストパターン 6 をマスクとして絶縁膜 5 をドライエッチングする。これにより、絶縁膜 5 がパターニングされる。その後、レジストパターン 6 を除去する。

【 0 0 0 6 】

次に、図 2 9 に示すように、パターニングされた絶縁膜 5 をマスクとして、シリサイド膜 4 およびシリコン膜 3 をドライエッチングする。これにより、所望の形状のゲート配線形状が得られる。

【 0 0 0 7 】

続いて、図 3 0 に示すように、上記ゲート配線をマスクとした不純物注入により、基板 1 内にソース／ドレイン領域 6 を形成する。

【 0 0 0 8 】

次に、図 3 1 に示すように、熱酸化処理を行う。これにより、ゲート配線を構成するシリコン膜 3 およびシリサイド膜 4 の側面、並びに基板 1 上に熱酸化膜 1 7 が形成される。

また、この熱酸化処理によって、ゲート配線のコーナー部分（以下「ゲートエッジ」という）が熱酸化膜 1 7 で丸まり、ゲートバズピークが形成される。従って、ゲートエッジに電界が集中することにより生じるホットキャリア（「ホットエレクトロン」ともいう）を防止することができる。

また、熱酸化処理により、ドライエッチングにより生じたダメージや、不純物注入により生じたダメージが除去される。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、従来の製造方法により製造された半導体装置には、次のような問題点があった。図 3 2 は、従来の製造方法により製造された半導体装置を説明するための断面図である。図 3 3 は、従来の製造方法で製造された半導体装置において、層間絶縁膜の埋め込み不良が発生した場合を示す断面図である。

先ず第 1 に、図 3 2 に示すように、熱酸化処理工程において、シリコン膜 3 およびシリサイド膜 4 に含まれる Si（シリコン）成分を熱酸化して熱酸化膜 1 7 を形成するため、絶縁膜 5 の側面よりも内側に熱酸化膜 1 7 が入り込んでしまう

問題があった。すなわち、ゲート配線幅Aが、エッチング直後（ゲート配線形成時）よりも、熱酸化膜17の分だけ細くなってしまう問題があった。これにより、ゲート配線の配線抵抗が増大し、トランジスタの駆動能力が劣化する問題があった。

【0010】

第2に、シリサイド膜4の側面に形成される熱酸化膜17aの膜厚が、シリコン膜3の側面に形成される熱酸化膜17bの膜厚よりも厚くなってしまう問題があった。言い換えれば、シリサイド膜4の側面が突出した形状となってしまう。これは、シリサイド膜4の酸化レートが、シリコン膜3の酸化レートよりも速いことに起因する。

この場合、図33に示すように、熱酸化膜17を形成した後に層間絶縁膜9を堆積する際、埋め込み不良Dが発生するという問題があった。この埋め込み不良Dは、層間絶縁膜9を形成した後に、 O_2 、 N_2 、 H_2O 等の雰囲気中で熱処理（リフロー）することによっても除去されない。また、埋め込み不良Dは、図33中の手前方向若しくは奥行き方向に伸びており、当該方向に並ぶ複数のコンタクトを導通させてしまう。この場合、製造された半導体装置は正常に機能せず不良品となるため、歩留まりが低下するという問題があった。

【0011】

第3に、熱酸化処理が進むにつれてシリサイド膜4中のシリコン成分が減少し、シリサイド膜4は欠乏したシリコン成分を補充するため下層のシリコン膜3から当該成分を吸い上げてしまうという問題があった（図32の矢印Bに示す）。これにより、シリサイド膜4の体積が膨張し、シリサイド膜4が下層のシリコン膜3に食い込んだ形状となってしまう（図32の矢印Cに示す）。この場合には、シリコン膜3の下層のゲート酸化膜2にまでストレスがかかってしまい、ゲート酸化膜2の信頼性が低下してしまう問題があった。従って、半導体装置の信頼性が低下してしまう問題があった。

【0012】

本発明は、上記従来の課題を解決するためになされたもので、ゲート配線の配線抵抗を増大させることなく、ゲートバースピークを形成することを目的とする

。また、本発明は、ゲート配線間における層間絶縁膜の埋め込みを容易に行うことを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

請求項 1 の発明に係る半導体装置の製造方法は、基板上にゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に第 1 シリコン膜および絶縁膜を含むゲート配線を形成する工程と、

前記ゲート配線をマスクとして前記基板内に不純物を注入して、第 1 拡散層を形成する工程と、

前記第 1 拡散層を形成した後、前記ゲート配線を覆うように前記基板の全面に第 2 シリコン膜を形成する工程と、

前記第 2 シリコン膜を熱酸化して熱酸化膜を形成する工程と、

前記熱酸化膜上に層間絶縁膜を形成する工程と、

を含むことを特徴とするものである。

【 0 0 1 4 】

請求項 2 の発明に係る半導体装置の製造方法は、請求項 1 に記載の製造方法において、

前記ゲート配線は、前記第 1 シリコン膜と前記絶縁膜の間にシリサイド膜を含むことを特徴とするものである。

【 0 0 1 5 】

請求項 3 の発明に係る半導体装置の製造方法は、請求項 1 又は 2 に記載の製造方法において、

前記第 1 シリコン膜は、ドーフトシリコン膜であり、

前記第 2 シリコン膜は、700℃よりも高い温度で形成されることを特徴とするものである。

【 0 0 1 6 】

請求項 4 の発明に係る半導体装置の製造方法は、請求項 1 から 3 の何れかに記載の製造方法において、

、前記第 2 シリコン膜は、ドーフトシリコン膜であることを特徴とするものである。

【 0 0 1 7 】

請求項 5 の発明に係る半導体装置の製造方法は、請求項 1 から 4 の何れかに記載の製造方法において、

前記熱酸化膜を形成した後、前記層間絶縁膜の形成に先立って、前記熱酸化膜をマスクとして前記基板内に不純物を注入して、前記第 1 拡散層よりも不純物濃度が高い第 2 拡散層を形成する工程を更に含むことを特徴とするものである。

【 0 0 1 8 】

請求項 6 の発明に係る半導体装置の製造方法は、基板上にゲート酸化膜を形成する工程と、

前記ゲート酸化膜上に第 1 シリコン膜および絶縁膜を含むゲート配線を形成する工程と、

前記ゲート配線をマスクとして前記基板内に不純物を注入して、第 1 拡散層を形成する工程と、

前記第 1 拡散層を形成した後、前記第 1 シリコン膜の側面を覆う第 2 シリコン膜を形成する工程と、

前記第 2 シリコン膜を熱酸化して熱酸化膜を形成する工程と、

前記熱酸化膜を形成した後、前記ゲート電極を覆うように前記基板全面に層間絶縁膜を形成する工程と、

を含むことを特徴とするものである。

【 0 0 1 9 】

請求項 7 の発明に係る半導体装置の製造方法は、請求項 6 に記載の製造方法において、

前記ゲート配線は、前記第 1 シリコン膜と前記絶縁膜との間に、シリサイド膜を含み、

前記第 2 シリコン膜は、前記第 1 シリコン膜の側面および前記シリサイドの側面を覆うことを特徴とするものである。

【 0 0 2 0 】

請求項 8 の発明に係る半導体装置の製造方法は、請求項 6 又は 7 に記載の製造方法において、

前記第 1 シリコン膜は、ドーフトシリコン膜であり、

前記第 2 シリコン膜は、700℃よりも高い温度で形成されることを特徴とするものである。

【0021】

請求項 9 の発明に係る半導体装置の製造方法は、請求項 6 から 8 の何れかに記載の製造方法において、

前記第 2 シリコン膜は、ドーフトシリコン膜であることを特徴とするものである。

【0022】

請求項 10 の発明に係る半導体装置の製造方法は、請求項 6 から 9 の何れかに記載の製造方法において、

前記熱酸化膜を形成した後、前記層間絶縁膜の形成に先立って、前記熱酸化膜をマスクとして前記基板内に不純物を注入して、前記第 1 拡散層よりも不純物濃度が高い第 2 拡散層を形成する工程を更に含むことを特徴とするものである。

【0023】

請求項 11 の発明に係る半導体装置の製造方法は、請求項 6 から 10 の何れかに記載の製造方法において、

前記熱酸化膜を形成する工程で、前記第 2 シリコン膜の表面を熱酸化して熱酸化膜の層を形成し、当該熱酸化膜の層と前記ゲート配線との間に第 2 シリコン膜の層を残すことを特徴とするものである。

【0024】

請求項 12 の発明に係る半導体装置の製造方法は、請求項 11 に記載の製造方法において、

前記第 2 シリコン膜の 3 分の 1 から 3 分の 2 を熱酸化して、前記熱酸化膜の層を形成することを特徴とするものである。

【0025】

請求項 13 の発明に係る半導体装置の製造方法は、請求項 1 から 12 の何れか

に記載の製造方法において、

前記第 2 シリコン膜を 7 0 0 ~ 1 2 0 0 ℃ の温度で熱酸化することを特徴とするものである。

【 0 0 2 6 】

請求項 1 4 の発明に係る半導体装置は、請求項 1 から 1 3 の何れかに記載の半導体装置の製造方法を用いて製造されることを特徴とするものである。

【 0 0 2 7 】

請求項 1 5 の発明に係る半導体装置は、基板と、

前記基板上に形成されたゲート酸化膜と、

前記ゲート酸化膜上に形成され、第 1 シリコン膜および絶縁膜を含む複数のゲート配線と、

前記ゲート配線間の前記基板内に形成された不純物拡散層と、

前記ゲート電極を覆う熱酸化膜と、

前記熱酸化膜上に形成された層間絶縁膜と、を備え、

前記絶縁膜の側面と、前記第 1 シリコン膜および前記シリサイド膜の側面とが、同一面を形成することを特徴とするものである。

【 0 0 2 8 】

請求項 1 6 の発明に係る半導体装置は、請求項 1 5 に記載の半導体装置において、

前記ゲート配線は、前記第 1 シリコン膜と前記絶縁膜の間にシリサイド膜を含むことを特徴とするものである。

【 0 0 2 9 】

請求項 1 7 の発明に係る半導体装置は、請求項 1 6 に記載の半導体装置において、

前記熱酸化膜が、前記ゲート電極を構成する前記第 1 シリコン膜および前記シリサイド膜の側面のみを覆うことを特徴とするものである。

【 0 0 3 0 】

請求項 1 8 の発明に係る半導体装置は、請求項 1 5 から 1 7 の何れかに記載の半導体装置において、

、前記ゲート配線の側面を覆う前記熱酸化膜の膜厚が均一であることを特徴とするものである。

【 0 0 3 1 】

請求項 1 9 の発明に係る半導体装置は、請求項 1 6 又は 1 7 に記載の半導体装置において、

前記シリサイド膜の側面を覆う前記熱酸化膜の膜厚より、前記第 1 シリコン膜の側面を覆う前記熱酸化膜の膜厚が厚いことを特徴とするものである。

【 0 0 3 2 】

請求項 2 0 の発明に係る半導体装置は、請求項 1 5 から 1 9 の何れかに記載の半導体装置において、

前記ゲート電極の側面と、前記熱酸化膜との間に第 2 シリコン膜を含むことを特徴とするものである。

【 0 0 3 3 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一又は相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【 0 0 3 4 】

実施の形態 1.

図 1 ～図 8 は、本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である。

【 0 0 3 5 】

以下、本実施の形態 1 による半導体装置の製造方法について説明する。

先ず、図 1 に示すように、基板 1 上にゲート酸化膜 2 を膜厚 5 ～ 1 0 n m で形成する。ここで、ゲート酸化膜 2 は、熱酸化法により形成されたシリコン酸化膜、又は、L P C V D (low pressure chemical vapor deposition) 法あるいは A P C V D (atmospheric pressure chemical vapor deposition) 法を用いて形成されたノンドープのシリコン酸化膜である。

【 0 0 3 6 】

、なお、基板 1 は、例えばシリコン基板のような半導体基板や、例えば石英基板やセラミックス基板のような絶縁基板である。また、図示しないが、分離領域が基板 1 内に予め形成されている。また、基板 1 の分離領域以外の活性領域には、トランジスタのウェルおよびチャンネルが予め形成されている（図示省略）。

【 0 0 3 7 】

そして、ゲート酸化膜 2 上に第 1 シリコン膜 3 を膜厚 4 0 ~ 1 0 0 n m で形成する。ここで、第 1 シリコン膜 3 は、C V D 法を用いて形成された多結晶シリコン膜やアモルファス（非晶質）シリコン膜であって、P（リン）等の不純物がドーパされたものである。

【 0 0 3 8 】

次に、第 1 シリコン膜 3 上にシリサイド膜 4 を膜厚 4 0 ~ 1 2 0 n m で形成する。ここで、シリサイド膜 4 は、T i（チタン）、T a（タンタル）、W（タングステン）、C o（コバルト）、N i（ニッケル）、M o（モリブデン）等の高融点金属膜のシリサイド膜、あるいはそれらシリサイド膜の積層膜である。

【 0 0 3 9 】

次に、シリサイド膜 4 上に絶縁膜 5 を膜厚 2 0 ~ 1 0 0 n m で形成する。ここで、絶縁膜 5 は、第 1 シリコン膜 3 およびシリサイド膜 4 に対してエッチング選択比が高い膜であり、例えば C V D 法で堆積した窒化膜（ Si_3N_4 ）若しくは窒化酸化膜（ SiON ）、又は、酸化膜（ SiO_2 ）と窒化膜（ Si_3N_4 ）の 2 層膜（積層膜）である。

【 0 0 4 0 】

次に、図 2 に示すように、写真製版工程により、レジストパターン 6 を絶縁膜 5 上に形成する。

続いて、図 3 に示すように、レジストパターン 6 をマスクとしたドライエッチングにより絶縁膜 5 をパターンニングする。その後、レジストパターン 6 を除去する。

【 0 0 4 1 】

次に、図 4 に示すように、パターンニングされた絶縁膜 5 をマスクとして、シリサイド膜 4 および第 1 シリコン膜 3 をドライエッチングする。これにより、所望

の形状を有するゲート配線が得られる。

このエッチング処理は、シリコン酸化膜に対して高い選択比を有するプロセス条件で行われる。従って、ゲート酸化膜 2 の途中でエッチングはストップする（図 4 参照）。

【 0 0 4 2 】

次に、図 5 に示すように、ゲート配線をマスクとした不純物注入を行い、基板 1 内に第 1 拡散層 6 としてのソース／ドレイン領域を形成する。

ここで、基板 1 内に注入される不純物は、例えば B（ホウ素）等の p 型不純物、又は例えば P（リン）や As（ヒ素）等の n 型不純物であり、形成するトランジスタの種類に応じて適宜選択される。

また、第 1 拡散層 6 の不純物濃度（atoms/cm²）は、 $1 \times 10^{13} \sim 10^{14}$ （ $10^{13} \sim 10^{14}$ 乗）オーダーである。

【 0 0 4 3 】

次に、図 6 に示すように、700℃以下の温度で、CVD法により、ゲート配線を覆うように基板 1 の全面に、第 2 シリコン膜 7 を膜厚 5 ～ 20 nm で形成する。ここで、第 2 シリコン膜 7 は、ノンドーパのシリコン膜であり、例えば、多結晶シリコン膜やアモルファス（非晶質）シリコン膜である。

【 0 0 4 4 】

そして、図 7 に示すように、第 2 シリコン膜 7 を熱酸化処理して、熱酸化膜 8 を形成する。

ここで、熱酸化処理としては、O₂ 雰囲気中で熱処理を行うドライリフローと、H₂O 雰囲気中で熱処理を行うウェットリフローがあり、何れの熱処理も 700 ～ 1200℃の温度で行われる。

ウェットリフローは、ドライリフローよりも酸化レートが速い。すなわち、同じ処理条件（処理温度、処理時間）で熱酸化処理する場合、ドライリフローよりもウェットリフローの方が、より多くのシリコンが酸化される。

この熱酸化処理工程において、ゲートエッジ（ゲート配線のコーナー部分）が熱酸化膜 8 により丸まり、ゲートバースピークが形成される（図 7 参照）。詳細には、ゲートエッジにおいて、側方と下方の両方から酸化種が供給され、ゲート

バースピークが形成される。

【0045】

次に、図8に示すように、基板1の全面に層間絶縁膜9を膜厚300～1000nmで形成する。ここで、層間絶縁膜9としては、例えばリンやボロンがドーブされたBPTEOS (boro-phospho tetraethylorthosilicate) 又はPTEOS (phospho tetraethylorthosilicate) 等の酸化膜が用いられる。これらの酸化膜は、層間絶縁膜9に要求される高い埋め込み特性や高い平坦性を有している。

【0046】

最後に、図示しないが、700～1000℃の温度で、基板1のドライリフロー処理を行う。ここで、ドライリフロー処理とは、 O_2 又は N_2 雰囲気中で行う熱処理のことである。これにより、基板1の酸化が防止される。

【0047】

上述の製造方法により製造された半導体装置は、基板1と、基板1上に形成されたゲート酸化膜2と、第1シリコン膜3とシリサイド膜4と絶縁膜5とを含むゲート配線と、ゲート配線を覆うように基板1全面に形成された熱酸化膜8と、熱酸化膜8上に形成された層間絶縁膜9と、を備えており、絶縁膜5の側面と、第1シリコン膜3およびシリサイド膜4の側面とが、同一面を形成している。

すなわち、ゲート配線の側面に熱酸化膜8が形成され、この熱酸化膜8は第1シリコン膜3又はシリサイド膜4に食い込んでいない。また、熱酸化膜8は、ゲート配線の側面に均一な膜厚で形成されている。また、シリサイド膜4は体積膨張しておらず、下層にある第1シリコン膜3に食い込んでいない。

【0048】

以上説明したように、本実施の形態1による半導体装置の製造方法では、ゲート配線を形成した後に、当該ゲート配線を覆う第2シリコン膜7を形成した。そして、熱酸化処理を行い、この第2シリコン膜7を熱酸化して熱酸化膜8を形成するとともに、ゲートエッジにゲートバースピークを形成した。

この実施の形態1によれば、第2シリコン膜7のみを熱酸化処理により熱酸化膜8とするため、ゲート配線を構成するシリサイド膜4や第1シリコン膜3は酸

化されない。すなわち、熱酸化膜 8 が、絶縁膜 5 の側面よりも内側に入り込んでいない。言い換えれば、絶縁膜 5 の側面と、シリサイド膜 4 および第 1 シリコン膜 3 の側面とが同一面となる。従って、ゲート配線幅が細くならず、配線抵抗の上昇を防止することができる。

【 0 0 4 9 】

さらに、熱酸化処理中にシリサイド膜 4 が酸化されないため、シリサイド膜 4 中のシリコン成分が不足することがない。よって、シリサイド膜 4 が下層のシリコン膜 3 からシリコン成分を吸い上げることがない。従って、シリサイド膜 4 の体積膨張を防止することができ、従来のようにゲート酸化膜 2 に対してストレスをかけることはない。これにより、半導体装置の信頼性を向上させることができる。

【 0 0 5 0 】

また、本実施の形態 1 では、熱酸化膜 8 は、ゲート配線の側壁に沿って、均一な膜厚で形成される。よって、従来のように、シリサイド膜 4 側面に形成された熱酸化膜 1 7 a の膜厚が、シリコン膜 3 側面に形成された熱酸化膜 1 7 b の膜厚よりも厚くならない。

従って、埋め込み不良を発生させることなく、ゲート配線間に層間絶縁膜 9 を容易に埋め込み可能となる。

【 0 0 5 1 】

また、上述のように、第 2 シリコン膜 7 をウェットリフローにより熱酸化処理することによって、第 2 シリコン膜 7 の高い酸化レートが得られる。

従って、デバイスの制約、特にトランジスタ特性への影響により、低温や短時間等の熱酸化レートが遅い条件しか使用できない制約があっても、所望の膜厚の熱酸化膜を容易に形成することができる（後述する他の実施の形態 2 ～ 6 においても同様）。

【 0 0 5 2 】

なお、本実施の形態 1 では、ゲート配線を第 1 シリコン膜 3、シリサイド膜 4 および絶縁膜 5 により構成したが、シリサイド膜 4 を含んでいなくてもよい（以下に述べる実施の形態 2 ～ 6 においても同様）。この場合も、ゲート配線を覆う

第 2 シリコン膜 7 が熱酸化処理されるため、第 1 シリコン膜 3 は熱酸化されない。従って、ゲート配線幅は細くならず、配線抵抗の増大を防止することができる。

【 0 0 5 3 】

また、第 2 シリコン膜 7 をノンドープのシリコン膜としたが、P や A s 等の不純物がドープされたシリコン膜としてもよい（以下に述べる実施の形態 2 ～ 6 における第 2 シリコン膜についても同様）。この場合、上述の効果に加えて、ノンドープのシリコン膜 7 よりも酸化レートが速くなるという効果が得られる。

従って、デバイスの制約、特にトランジスタ特性への影響により、低温や短時間等の熱酸化レートが遅い条件しか使用できない場合であっても、所望の膜厚の熱酸化膜を容易に形成することができる。

【 0 0 5 4 】

また、図 9 に示すように、熱酸化処理により熱酸化膜 8 を形成した後、この熱酸化膜 8 をマスクとして不純物を基板 1 内に注入して、第 1 拡散層 6 よりも不純物濃度が高い第 2 拡散層（ソース／ドレイン領域）2 1 を形成してもよい（後述の実施の形態 2 ～ 6 についても同様）。これにより、LDD 構造のトランジスタが形成されるため、ホットキャリア特性が向上する。

ここで、第 2 拡散層 2 1 の不純物濃度（atoms/cm²）は、 1×10^{15} （ 10 の 15 乗）オーダーである（後述の実施の形態 2 についても同様）。

また、ソース／ドレイン領域 2 1 は自己整合的に形成されるため、ゲート配線側面に窒化膜等からなるサイドウォールの形成が不要である。従って、LDD 構造を形成するための工程数を減らすことができるため、半導体装置の製造コストを抑えることができる。

【 0 0 5 5 】

実施の形態 2.

図 1 0 ～ 図 1 2 は、本発明の実施の形態 2 による半導体装置の製造方法を説明するための断面図である。

本実施の形態 2 と、前述の実施の形態 1 との相違点は、第 2 シリコン膜を形成する工程である（詳細は後述）。

以下、本実施の形態 2 による半導体装置の製造方法について説明する。

図 1 0 に示す工程を行う前に、前述の実施の形態 1 において説明した図 1 から図 5 に示す工程と同様の工程を行う。

【 0 0 5 6 】

次いで、図 1 0 に示すように、7 0 0℃よりも高い温度で、CVD 法により、ゲート配線を覆うように基板 1 の全面に、第 2 シリコン膜 1 0 を膜厚 5 ~ 2 0 n m で形成する。

ここで、第 2 シリコン膜 1 0 は、ノンドープのシリコン膜であり、例えば、多結晶シリコン膜やアモルファスシリコン膜である。

本実施の形態 2 では、実施の形態 1 と異なり、高温で第 2 シリコン膜 1 0 を形成する。このように、高温で成膜すると、成膜中に、第 1 シリコン膜 3 内のリンが拡散して、第 1 シリコン膜 3 の側面から第 2 シリコン膜 1 0 内に移動する（図 1 0 中の矢印に示す）。すなわち、第 1 シリコン膜 3 の側面に形成された第 2 シリコン膜は、高濃度の不純物（リン）を含むこととなる。

【 0 0 5 7 】

次に、図 1 1 に示すように、実施の形態 1 で説明した方法（図 7 参照）と同様の方法によって、第 2 シリコン膜 1 0 を熱酸化処理して、熱酸化膜 1 1 を形成する。

ここで、一般に、リン等の不純物を含有するシリコン膜の方が、ノンドープのシリコン膜よりも酸化レートが速い。このため、第 1 シリコン膜 3 側面に形成された第 2 シリコン膜 1 0 の酸化レートが、他の部分の第 2 シリコン膜 1 0 の酸化レートよりも速くなる。従って、図 1 1 に示すように、第 1 シリコン膜 3 の側面に形成される熱酸化膜 1 1 の膜厚が、シリサイド膜 4 の側面に形成される熱酸化膜 1 1 の膜厚よりも厚くなる。これにより、ゲート配線間のスペースが、逆テーパー形状となる。

また、この熱酸化処理工程において、ゲートエッジが熱酸化膜 1 1 により丸まり、ゲートバースピークが形成される（図 1 1 参照）。

【 0 0 5 8 】

次に、図 1 2 に示すように、実施の形態 1 で説明した方法（図 8 参照）と同様

の方法によって、基板 1 の全面に層間絶縁膜 9 を膜厚 3 0 0 ~ 1 0 0 0 n m で形成する。

最後に、図示しないが、7 0 0 ~ 1 0 0 0 ° C の温度で、基板 1 のドライフロ-処理を行う。これにより、基板 1 の酸化が防止される。

【 0 0 5 9 】

上述の製造方法により製造された半導体装置は、基板 1 と、基板 1 上に形成されたゲート酸化膜 2 と、第 1 シリコン膜 3 とシリサイド膜 4 と絶縁膜 5 とを含むゲート配線と、ゲート配線を覆うように基板 1 の全面に形成された熱酸化膜 1 1 と、熱酸化膜 1 1 上に形成された層間絶縁膜 9 と、を備えており、絶縁膜 5 の側面と、第 1 シリコン膜 3 およびシリサイド膜 4 の側面とが、同一面を形成している。

すなわち、ゲート配線の側面に熱酸化膜 1 1 が形成され、この熱酸化膜 1 1 は第 1 シリコン膜 3 又はシリサイド膜 4 に食い込んでいない。また、シリサイド膜 4 の側面を覆う熱酸化膜 1 1 の膜厚より、第 1 シリコン膜 3 の側面を覆う熱酸化膜 1 1 の膜厚が厚くなっている。また、シリサイド膜 4 は体積膨張しておらず、下層にある第 1 シリコン膜 3 に食い込んでいない。

【 0 0 6 0 】

以上説明したように、本実施の形態 2 による半導体装置の製造方法では、ゲート配線を形成した後に、当該ゲート配線を覆う第 2 シリコン膜 1 0 を、7 0 0 ° C よりも高温で形成した。そして、熱酸化処理を行い、この第 2 シリコン膜 1 0 を熱酸化して熱酸化膜 1 1 を形成するとともに、ゲートエッジにゲートバースピークを形成した。

【 0 0 6 1 】

この実施の形態 2 によれば、実施の形態 1 と同様の効果が得られる。

また、本実施の形態 2 では、7 0 0 ° C よりも高温で、第 2 シリコン膜 1 0 を形成している。このため、第 1 シリコン膜 3 にドーパされているリンが、第 2 シリコン膜 1 0 の成膜中に、第 1 シリコン膜 3 側面の第 2 シリコン膜 1 0 内に拡散する。不純物を含むシリコン膜の熱酸化レートは速いため、第 1 シリコン膜 3 の側面に形成された熱酸化膜 1 1 の膜厚は、シリサイド膜 4 の側面に形成された熱酸

化膜 1 1 の膜厚よりも厚くなる。よって、ゲート配線間のスペースは、逆テーパ形状となり、実施の形態 1 よりも層間絶縁膜 9 の埋め込みを更に容易に行うことが可能となる。

【 0 0 6 2 】

また、図 1 3 に示すように、熱酸化処理により熱酸化膜 1 1 を形成した後、この熱酸化膜 1 1 をマスクとして不純物を基板 1 内に注入して、第 1 拡散層 6 よりも不純物濃度が高い第 2 拡散層（ソース／ドレイン領域） 2 2 を形成してもよい。これにより、LDD 構造のトランジスタが形成されるため、ホットキャリア特性が向上する。

また、ソース／ドレイン領域 2 2 は、自己整合的に形成されるため、ゲート配線側面に窒化膜等からなるサイドウォールの形成が不要である。従って、LDD 構造を形成するための工程数を減らすことができるため、半導体装置の製造コストを抑えることができる。

さらに、第 1 シリコン膜 3 の側面に形成された熱酸化膜 1 1 の膜厚が、実施の形態 1 で形成された熱酸化膜 8（図 9 参照）よりも厚いため、所望の LDD 構造を得るための自由度が増えるという利点を得られる。

すなわち、熱酸化処理によって第 1 シリコン膜 3 側面に形成される熱酸化膜 8 の膜厚を制御することにより、第 2 拡散層 2 2 を所望の位置に形成することができる。また、当該熱酸化膜 8 の膜厚は、第 1 シリコン膜 3 から拡散させる不純物濃度および熱酸化処理時間により制御可能である。

【 0 0 6 3 】

次に、本実施の形態 2 による半導体装置の製造方法の変形例について説明する。

図 1 4 は、実施の形態 2 による半導体装置の製造方法の変形例を説明するための断面図である。

本変形例は、リン（P）を不純物として含有する上記第 1 シリコン膜 3 の代わりに、ヒ素（As）を不純物として含有する第 1 シリコン膜 3 0 を用いる以外は、上述の実施の形態 2 による製造方法と同一である。よって、実施の形態 2 と重複する説明については省略する。

図 1 4 に示すように、図 1 0 に示す方法と同様の方法により、ゲート配線を覆うように基板 1 の全面に第 2 シリコン膜 1 0 を形成する。ここで、第 2 シリコン膜 1 0 の成膜プロセスは、7 0 0 °C よりも高い温度で行われる。

この時、上述したように、第 1 シリコン膜 3 0 内に含まれる不純物（ヒ素）が第 2 シリコン膜 1 0 内に拡散する。ここで、シリコン膜中のヒ素（As）の拡散速度は、リン（P）の拡散速度よりも速い。

このため、第 2 シリコン膜 1 0 中に移動する不純物の量が多くなり、第 2 シリコン膜 1 0 の熱酸化レートが更に速くなる。従って、第 1 シリコン膜 3 0 の側面に形成される熱酸化膜の膜厚を、上記実施の形態 2 で形成される熱酸化膜 1 1 の膜厚よりも更に厚くすることができる。これにより、ゲート配線間の層間絶縁膜の埋め込みが更に容易になる。

本変形例は、ゲート配線間への層間絶縁膜の埋め込みが、構造又はプロセスの制約により難しい場合に好適である。

【 0 0 6 4 】

実施の形態 3 .

図 1 5 ～図 1 7 は、本発明の実施の形態 3 による半導体装置の製造方法を説明するための断面図である。

本実施の形態 3 による半導体装置の製造方法について説明する。

図 1 5 に示す工程を行う前に、前述の実施の形態 1 において説明した図 1 から図 5 に示す工程と同様の工程を行う。

【 0 0 6 5 】

次いで、図 1 5 に示すように、7 0 0 °C 以下の低温で、選択成長法により、ゲート配線を構成する第 1 シリコン膜 3 およびシリサイド膜 4 の側面に、第 2 シリコン膜 1 2 を膜厚 5 ～ 2 0 n m で成長させる。

ここで、第 2 シリコン膜 1 2 は、ノンドープのシリコン膜である。

【 0 0 6 6 】

次に、図 1 6 に示すように、実施の形態 1 で説明した方法（図 7 参照）と同様の方法によって、第 2 シリコン膜 1 2 を熱酸化処理して、熱酸化膜 1 3 を形成する。

また、この熱酸化処理工程において、ゲートエッジが熱酸化膜 1 3 により丸まり、ゲートバースピークが形成される。

【 0 0 6 7 】

次に、図 1 7 に示すように、実施の形態 1 で説明した方法（図 8 参照）と同様の方法によって、基板 1 の全面に層間絶縁膜 9 を膜厚 3 0 0 ~ 1 0 0 0 n m で形成する。

最後に、図示しないが、7 0 0 ~ 1 0 0 0 ℃ の温度で、基板 1 のドライリフロー処理を行う。これにより、基板 1 の酸化が防止される。

【 0 0 6 8 】

上述の製造方法により製造された半導体装置は、基板 1 と、基板 1 上に形成されたゲート酸化膜 2 と、第 1 シリコン膜 3 とシリサイド膜 4 と絶縁膜 5 とを含むゲート配線と、第 1 シリコン膜 3 およびシリサイド膜 4 の側面のみを覆う熱酸化膜 1 3 と、ゲート配線を覆うように基板 1 の全面に形成された層間絶縁膜 9 と、を備えており、絶縁膜 5 の側面と、第 1 シリコン膜 3 およびシリサイド膜 4 の側面とが、同一面を形成している。

すなわち、ゲート配線を構成する第 1 シリコン膜 3 およびシリサイド膜 4 の側面に熱酸化膜 1 3 が形成され、絶縁膜 5 の側面に熱酸化膜は形成されていない。そして、この熱酸化膜 1 3 は第 1 シリコン膜 3 およびシリサイド膜 4 に食い込んでいない。また、熱酸化膜 1 3 は、ゲート配線の側面に均一な膜厚で形成されている。また、シリサイド膜 4 は体積膨張しておらず、下層にある第 1 シリコン膜 3 に食い込んでいない。

【 0 0 6 9 】

以上説明したように、本実施の形態 3 による半導体装置の製造方法では、ゲート配線を形成した後に、当該ゲート配線の第 1 シリコン膜 3 およびシリサイド膜 4 を覆う第 2 シリコン膜 1 2 を形成した。そして、熱酸化処理を行い、この第 2 シリコン膜 1 2 を熱酸化して熱酸化膜 1 3 を形成するとともに、ゲートエッジにゲートバースピークを形成した。

【 0 0 7 0 】

この実施の形態 3 によれば、第 2 シリコン膜 1 2 のみを熱酸化処理により熱酸

化膜 1 3 とするため、ゲート配線を構成するシリサイド膜 4 や第 1 シリコン膜 3 は酸化されない。すなわち、熱酸化膜 1 3 が、絶縁膜 5 の側面よりも内側に入り込んでいない。言い換えれば、絶縁膜 5 の側面と、シリサイド膜 4 および第 1 シリコン膜 3 の側面とが同一面となる。従って、ゲート配線幅が細くならず、配線抵抗の上昇を防止することができる。

さらに、熱酸化処理中にシリサイド膜 4 が酸化されないため、シリサイド膜 4 中のシリコン成分が不足することがない。従って、シリサイド膜 4 の体積膨張を防止することができ、従来のようにゲート酸化膜 2 に対してストレスをかけることはない。これにより、半導体装置の信頼性を向上させることができる。

【 0 0 7 1 】

また、実施の形態 3 では、絶縁膜 5 の側面に熱酸化膜 1 3 が形成されないため、層間絶縁膜 9 を埋め込む際に間口を広くとることができる。従って、実施の形態 1 および 2 よりも、層間絶縁膜 9 の埋め込みが更に容易となる。

【 0 0 7 2 】

実施の形態 4 .

図 1 8 ～図 2 0 は、本発明の実施の形態 4 による半導体装置の製造方法を説明するための断面図である。

以下、本実施の形態 4 による半導体装置の製造方法について説明する。

図 1 8 に示す工程を行う前に、前述の実施の形態 1 において説明した図 1 から図 5 に示す工程と同様の工程を行う。

【 0 0 7 3 】

次いで、図 1 8 に示すように、700℃よりも高い温度で、選択成長法により、ゲート配線を構成する第 1 シリコン膜 3 およびシリサイド膜 4 の側面に、第 2 シリコン膜 1 4 を膜厚 5 ～ 20 nm で成長させる。

本実施の形態 4 では、実施の形態 3 とは異なり、700℃を超える高温で、第 2 シリコン膜 1 4 を成長させている。このように、高温条件で成長させる場合、その成長中に、第 1 シリコン膜 3 内のリンが拡散して、第 1 シリコン膜 3 の側面から第 2 シリコン膜 1 4 内に移動する（図 1 8 の矢印に示す）。すなわち、第 1 シリコン膜 3 の側面から成長した第 2 シリコン膜 1 4 は、不純物（リン）を高濃

度で含有する。

【 0 0 7 4 】

次に、図 1 9 に示すように、実施の形態 1 で説明した方法（図 7 参照）と同様の方法によって、第 2 シリコン膜 1 4 を熱酸化処理して、熱酸化膜 1 5 を形成する。

ここで、一般に、リン等の不純物を含有するシリコン膜の方が、ノンドーパのシリコン膜よりも酸化レートが速い。このため、第 1 シリコン膜 3 側面に形成された第 2 シリコン膜 1 4 の酸化レートが、他よりも高い。従って、図 1 9 に示すように、第 1 シリコン膜 3 の側面に形成される熱酸化膜 1 5 の膜厚が、シリサイド膜 4 の側面に形成される熱酸化膜 1 1 の膜厚よりも厚くなる。

また、この熱酸化処理工程において、ゲートエッジが熱酸化膜 1 5 により丸まり、ゲートバースピークが形成される（図 1 9 参照）。

【 0 0 7 5 】

次に、図 2 0 に示すように、実施の形態 1 で説明した方法（図 8 参照）と同様の方法によって、基板 1 の全面に層間絶縁膜 9 を膜厚 3 0 0 ~ 1 0 0 0 n m で形成する。

最後に、図示しないが、7 0 0 ~ 1 0 0 0 ℃ の温度で、基板 1 のドライリフロー処理を行う。これにより、基板 1 の酸化が防止される。

【 0 0 7 6 】

上述の製造方法により製造された半導体装置は、基板 1 と、基板 1 上に形成されたゲート酸化膜 2 と、第 1 シリコン膜 3 とシリサイド膜 4 と絶縁膜 5 とを含むゲート配線と、第 1 シリコン膜 3 およびシリサイド膜 4 の側面のみを覆う熱酸化膜 1 5 と、ゲート配線を覆うように基板 1 の全面に形成された層間絶縁膜 9 と、を備えており、絶縁膜 5 の側面と、第 1 シリコン膜 3 およびシリサイド膜 4 の側面とが、同一面を形成している。

すなわち、ゲート配線を構成する第 1 シリコン膜 3 およびシリサイド膜 4 の側面に熱酸化膜 1 5 が形成され、この熱酸化膜 1 5 は第 1 シリコン膜 3 およびシリサイド膜 4 に食い込んでいない。また、シリサイド膜 4 の側面を覆う熱酸化膜 1 5 の膜厚より、第 1 シリコン膜 3 の側面を覆う熱酸化膜 1 5 の膜厚が厚い。また

、シリサイド膜 4 は体積膨張しておらず、下層にある第 1 シリコン膜 3 に食い込んでいない。

【 0 0 7 7 】

以上説明したように、本実施の形態 4 による半導体装置の製造方法では、ゲート配線を形成した後に、当該ゲート配線の第 1 シリコン膜 3 およびシリサイド膜 4 を覆う第 2 シリコン膜 1 4 を高温で形成した。そして、この第 2 シリコン膜 1 4 を熱酸化処理することにより熱酸化膜 1 5 を形成するとともに、ゲートエッジにゲートバースピークを形成した。

【 0 0 7 8 】

この実施の形態 4 によれば、実施の形態 3 と同様の効果が得られる。

また、本実施の形態 4 では、700℃よりも高温で、第 2 シリコン膜 1 4 を形成している。このため、第 1 シリコン膜 3 にドーピングされているリンが、第 2 シリコン膜 1 4 の成長中に、第 1 シリコン膜 3 の側面から第 2 シリコン膜 1 4 内に拡散する。不純物を含むシリコン膜の熱酸化レートは速いため、第 1 シリコン膜 3 の側面に形成された熱酸化膜 1 5 の膜厚は、シリサイド膜 4 の側面に形成された熱酸化膜 1 5 の膜厚よりも厚くなる。よって、ゲート配線間のスペースは、逆テーパー形状となり、実施の形態 3 よりも層間絶縁膜 9 の埋め込みを更に容易に行うことが可能となる。

【 0 0 7 9 】

次に、本実施の形態 4 による半導体装置の製造方法の変形例について説明する。

図 2 1 は、実施の形態 4 による半導体装置の製造方法の変形例を説明するための断面図である。

本変形例は、リン (P) を不純物として含有する上記第 1 シリコン膜 3 の代わりに、ヒ素 (As) を不純物として含有する第 1 シリコン膜 3 0 を用いる以外は、上述の実施の形態 4 による製造方法と同一である。よって、実施の形態 4 と重複する説明については省略する。

図 2 1 に示すように、図 1 8 に示す方法と同様の方法により、ゲート配線を構成する第 1 シリコン膜 3 0 およびシリサイド膜 4 の側面から第 2 シリコン膜 1 6

を成長させる。ここで、第2シリコン膜16の選択成長は、700℃よりも高い温度で行われる。

この時、上述したように、第1シリコン膜30内に含まれる不純物（ヒ素）が、第2シリコン膜16内に拡散する。ここで、シリコン膜中のヒ素（As）の拡散速度は、リン（P）の拡散速度よりも速い。

このため、第2シリコン膜16中に移動する不純物の量が多くなり、第2シリコン膜16の熱酸化レートが更に速くなる。従って、第1シリコン膜30の側面に形成される熱酸化膜の膜厚を、上記実施の形態4で形成される熱酸化膜15の膜厚よりも更に厚くすることができる。これにより、ゲート配線間の層間絶縁膜の埋め込みが更に容易になる。

本変形例は、ゲート配線間への層間絶縁膜の埋め込みが、構造又はプロセスの制約により難しい場合に好適である。また、本変形例は、後述する実施の形態6に対しても適用できる。

【0080】

実施の形態5.

図22および図23は、本発明の実施の形態5による半導体装置の製造方法を説明するための断面図である。

以下、本実施の形態5による半導体装置の製造方法について説明する。

図22に示す工程を行う前に、前述の実施の形態1において説明した図1から図5に示す工程と同様の工程を行う。

さらに、実施の形態3において説明した図15に示す工程を行う。すなわち、700℃以下の低温で、選択成長法により、ゲート配線を構成する第1シリコン膜3およびシリサイド膜4の側面に、第2シリコン膜12を膜厚5～20nmで成長させる。

【0081】

次に、図22に示すように、実施の形態1で説明した方法（図7参照）と同様の方法によって、第2シリコン膜12を熱酸化処理する。

この時、第2シリコン膜12の表面を熱酸化して熱酸化膜の層13aを形成し、当該熱酸化膜の層13aとゲート配線との間に第2シリコン膜の層12aを残

す。言い換えれば、ゲート配線を構成するシリサイド膜4および第1シリコン膜3の側面に、当該側面を覆う第2シリコン膜の層12aと、この第2シリコン膜の層12aを覆う熱酸化膜の層13aの2層膜（積層膜）が形成される。

また、この熱酸化処理によって、第2シリコン膜12の1/3（3分の1）から2/3（3分の2）が熱酸化され、熱酸化膜の層13aとなる。

【0082】

次に、図23に示すように、実施の形態1で説明した方法（図8参照）と同様の方法によって、基板1の全面に層間絶縁膜9を膜厚300～1000nmで形成する。

最後に、図示しないが、700～1000℃の温度で、基板1のドライリフロー処理を行う。これにより、基板1の酸化が防止される。

【0083】

上述の製造方法により製造された半導体装置は、基板1と、基板1上に形成されたゲート酸化膜2と、第1シリコン膜3とシリサイド膜4と絶縁膜5とを含むゲート配線と、第1シリコン膜3およびシリサイド膜4の側面のみを覆う第2シリコン膜の層12aと、この第2シリコン膜12aを覆う熱酸化膜の層13aと、ゲート配線を覆うように基板1の全面に形成された層間絶縁膜9と、を備えており、絶縁膜5の側面と、第1シリコン膜3およびシリサイド膜4の側面とが、同一面を形成している。

すなわち、ゲート配線を構成する第1シリコン膜3およびシリサイド膜4の側面に、第2シリコン膜の層12aと熱酸化膜の層13aからなる2層膜が形成される。よって、熱酸化膜の層13aは第1シリコン膜3およびシリサイド膜4に食い込んでいない。

また、熱酸化膜の層13aは、ゲート配線の側面に均一な膜厚で形成されている。また、シリサイド膜4は体積膨張しておらず、下層にある第1シリコン膜3に食い込んでいない。

【0084】

以上説明したように、本実施の形態5による半導体装置の製造方法では、ゲート配線を形成した後に、当該ゲート配線の第1シリコン膜3およびシリサイド膜

4を覆う第2シリコン膜12を形成した。そして、この第2シリコン膜12を所定の膜厚分だけ熱酸化処理することにより熱酸化膜の層13aを形成するとともに、ゲートエッジにゲートバースピークを形成した。

この実施の形態5によれば、第2シリコン膜12の表面を熱酸化処理により熱酸化膜の層13aとするため、ゲート配線を構成するシリサイド膜4や第1シリコン膜3は酸化されない。これにより、実施の形態3と同様の効果が得られる。

【0085】

また、ゲート配線側面と、熱酸化膜の層13aとの間に、第2シリコン膜の層12aが介在することによって、実施の形態3よりも更に配線抵抗を低減することができ、トランジスタの特性を向上させることができる。

【0086】

実施の形態6.

図24および図25は、本発明の実施の形態6による半導体装置の製造方法を説明するための断面図である。

以下、本実施の形態6による半導体装置の製造方法について説明する。

図24に示す工程を行う前に、前述の実施の形態において説明した図1から図5に示す工程と同様の工程を行う。

さらに、実施の形態4において説明した図18に示す工程を行う。すなわち、700℃よりも高い温度で、選択成長法により、ゲート配線を構成する第1シリコン膜3およびシリサイド膜4の側面に、第2シリコン膜14を膜厚5～20nmで成長させる。ここで、実施の形態4で説明したように、第1シリコン膜3の側面から成長した部分の第2シリコン膜14には、第1シリコン膜3中のリンが拡散しており、他の部分の第2シリコン膜14よりも高濃度の不純物（リン）を含有している。

【0087】

次に、図24に示すように、実施の形態5で説明した方法（図22参照）と同様に、第2シリコン膜14の表面を酸化して熱酸化膜の層15aを形成し、当該熱酸化膜の層15aとゲート配線との間に第2シリコン膜の層14aを残す。言い換えれば、ゲート配線を構成するシリサイド膜4および第1シリコン膜3の側

面に、当該側面を覆う第2シリコン膜の層14aと、この第2シリコン膜の層14aを覆う熱酸化膜の層15aとの2層膜（積層膜）が形成される。

また、この熱酸化処理によって、第2シリコン膜14の1/3（3分の1）から2/3（3分の2）が熱酸化され、熱酸化膜の層15aとなる。

また、本実施の形態5では、第2シリコン膜14を700℃よりも高い温度で成長させている。このため、上述のように、第1シリコン膜3の側面から成長した部分の第2シリコン膜14は、高濃度の不純物（リン）を含んでおり、酸化レートが速い。

従って、第1シリコン膜3の側面に形成される熱酸化膜の層15aの膜厚が、シリサイド膜4の側面に形成される熱酸化膜の層15aの膜厚よりも厚くなる。

【0088】

次に、図25に示すように、実施の形態1で説明した方法（図8参照）と同様の方法によって、基板1の全面に層間絶縁膜9を膜厚300～1000nmで形成する。

最後に、図示しないが、700～1000℃の温度で、基板1のドライリフロー処理を行う。これにより、基板1の酸化が防止される。

【0089】

上述の製造方法により製造された半導体装置は、基板1と、基板1上に形成されたゲート酸化膜2と、第1シリコン膜3とシリサイド膜4と絶縁膜5とを含むゲート配線と、第1シリコン膜3およびシリサイド膜4の側面のみを覆う第2シリコン膜の層14aと、この第2シリコン膜14aを覆う熱酸化膜の層15aと、ゲート配線を覆うように基板1の全面に形成された層間絶縁膜9と、を備えており、絶縁膜5の側面と、第1シリコン膜3およびシリサイド膜4の側面とが、同一面を形成している。

すなわち、ゲート配線を構成する第1シリコン膜3およびシリサイド膜4の側面に、第2シリコン膜の層14aと熱酸化膜の層15aからなる2層膜が形成される。よって、熱酸化膜の層15aは第1シリコン膜3およびシリサイド膜4に食い込んでいない。また、シリサイド膜4は体積膨張しておらず、下層にある第1シリコン膜3に食い込んでいない。

また、実施の形態 5 とは異なり、シリサイド膜 4 の側面を覆う熱酸化膜の層 1 5 a の膜厚より、第 1 シリコン膜 3 の側面を覆う熱酸化膜 1 5 a の膜厚が厚くなっている。

【0090】

以上説明したように、本実施の形態 6 による半導体装置の製造方法では、ゲート配線を形成した後に、当該ゲート配線の第 1 シリコン膜 3 およびシリサイド膜 4 を覆う第 2 シリコン膜 1 4 を形成した。そして、この第 2 シリコン膜 1 4 を所定の膜厚分だけ熱酸化処理することにより熱酸化膜の層 1 5 a を形成するとともに、ゲートエッジにゲートバースピークを形成した。

この実施の形態 6 によれば、実施の形態 5 と同様の効果が得られる。

また、本実施の形態 6 では、第 2 シリコン膜 1 4 を 7 0 0 °C よりも高い温度で形成している。このため、第 1 シリコン膜 3 にドーピングされているリンが、第 2 シリコン膜 1 4 の成長中に、第 1 シリコン膜 3 の側面から第 2 シリコン膜 1 4 内に拡散する。一般に不純物を含むシリコン膜の熱酸化レートは速いため、第 1 シリコン膜 3 の側面に形成された熱酸化膜 1 5 の膜厚は、シリサイド膜 4 の側面に形成された熱酸化膜 1 5 の膜厚よりも厚くなる。よって、ゲート配線間のスペースは、逆テーパ形状となり、実施の形態 3 よりも層間絶縁膜 9 の埋め込みを容易に行うことが可能となる。

【0091】

【発明の効果】

本発明によれば、ゲート配線の配線抵抗を増大させることなく、ゲートバースピークを形成することができる。

また、ゲート配線間において層間絶縁膜の埋め込みを容易に行うことができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 1）。

【図 2】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 2）。

【図 3】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 3）。

【図 4】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 4）。

【図 5】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 5）。

【図 6】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 6）。

【図 7】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 7）。

【図 8】 本発明の実施の形態 1 による半導体装置の製造方法を説明するための断面図である（その 8）。

【図 9】 本発明の実施の形態 1 による半導体装置の製造方法において、第 2 拡散層をさらに形成する場合を示す断面図である。

【図 10】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための断面図である（その 1）。

【図 11】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための断面図である（その 2）。

【図 12】 本発明の実施の形態 2 による半導体装置の製造方法を説明するための断面図である（その 3）。

【図 13】 本発明の実施の形態 2 による半導体装置の製造方法において、第 2 拡散層をさらに形成する場合を示す断面図である。

【図 14】 本発明の実施の形態 2 による半導体装置の製造方法の変形例を説明するための断面図である。

【図 15】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための断面図である（その 1）。

【図 16】 本発明の実施の形態 3 による半導体装置の製造方法を説明するための断面図である（その 2）。

【図 17】 本発明の実施の形態 3 による半導体装置の製造方法を説明する

ための断面図である（その３）。

【図 1 8】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための断面図である（その 1）。

【図 1 9】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための断面図である（その 2）。

【図 2 0】 本発明の実施の形態 4 による半導体装置の製造方法を説明するための断面図である（その 3）。

【図 2 1】 本発明の実施の形態 4 による半導体装置の製造方法の変形例を説明するための断面図である。

【図 2 2】 本発明の実施の形態 5 による半導体装置の製造方法を説明するための断面図である（その 1）。

【図 2 3】 本発明の実施の形態 5 による半導体装置の製造方法を説明するための断面図である（その 2）。

【図 2 4】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための断面図である（その 1）。

【図 2 5】 本発明の実施の形態 6 による半導体装置の製造方法を説明するための断面図である（その 2）。

【図 2 6】 従来の半導体装置の製造方法を説明するための断面図である（その 1）。

【図 2 7】 従来の半導体装置の製造方法を説明するための断面図である（その 2）。

【図 2 8】 従来の半導体装置の製造方法を説明するための断面図である（その 3）。

【図 2 9】 従来の半導体装置の製造方法を説明するための断面図である（その 4）。

【図 3 0】 従来の半導体装置の製造方法を説明するための断面図である（その 5）。

【図 3 1】 従来の半導体装置の製造方法を説明するための断面図である（その 6）。

【図 3 2】 従来の半導体装置の製造方法によって製造された半導体装置を説明するための断面図である。

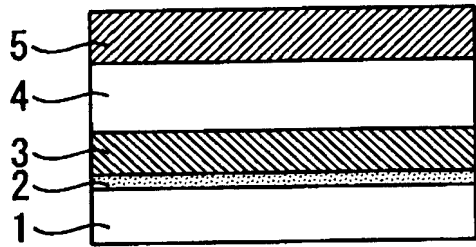
【図 3 3】 従来の製造方法で製造された半導体装置において、層間絶縁膜の埋め込み不良が発生した場合を示す断面図である。

【符号の説明】

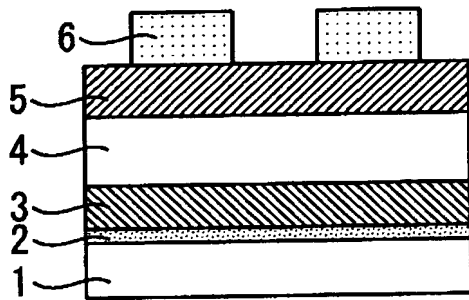
1 基板（半導体基板、絶縁基板）、 2 ゲート酸化膜（シリコン酸化膜）、
3 第 1 シリコン膜、 4 シリサイド膜、 5 絶縁膜、 6 第 1 拡散層（ソース／ドレイン領域）、 7 第 2 シリコン膜、 8 熱酸化膜、 9 層間絶縁膜、
10 第 2 シリコン膜、 11 熱酸化膜、 12 第 2 シリコン膜、 12 a 第 2 シリコン膜の層、
13 熱酸化膜、 13 a 熱酸化膜の層、 14 第 2 シリコン膜、 14 a 第 2 シリコン膜の層、 15 熱酸化膜、
15 a 熱酸化膜の層、 16 第 2 シリコン膜、 21 第 2 拡散層（ソース／ドレイン領域）、
22 第 2 拡散層（ソース／ドレイン領域）、 30 第 1 シリコン膜。

【書類名】 図面

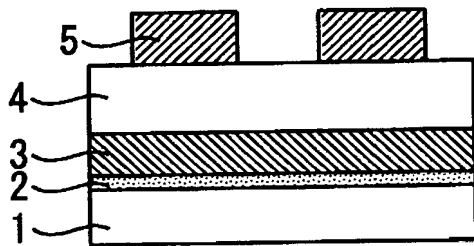
【図 1】



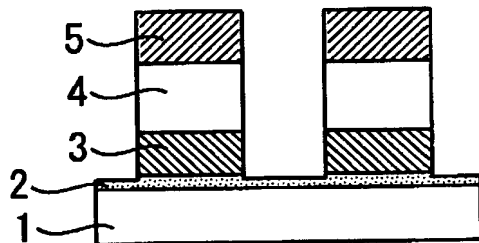
【図 2】



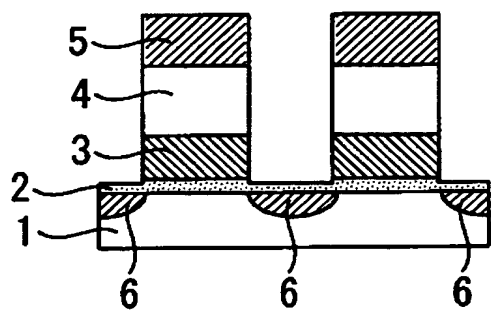
【図 3】



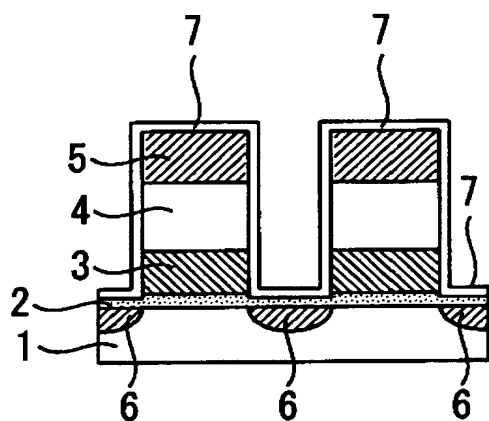
【図 4】



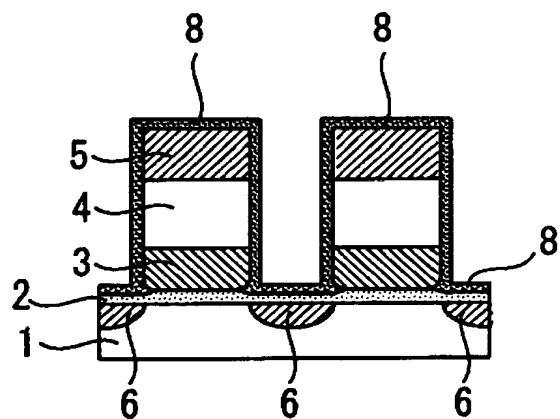
【図 5】



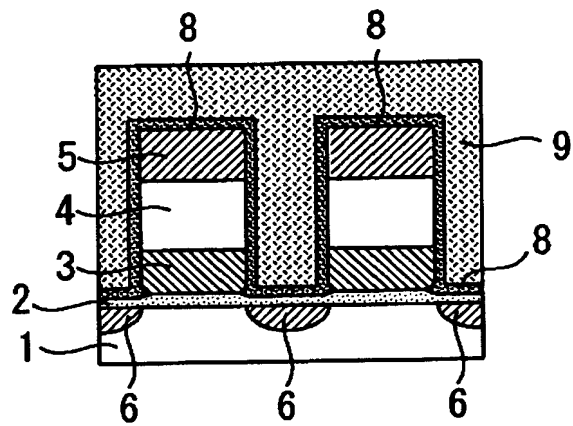
【図 6】



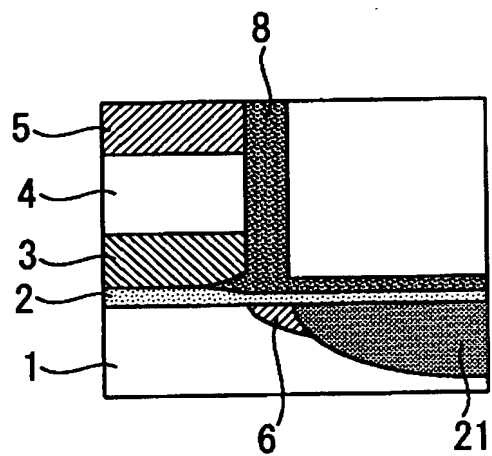
【図 7】



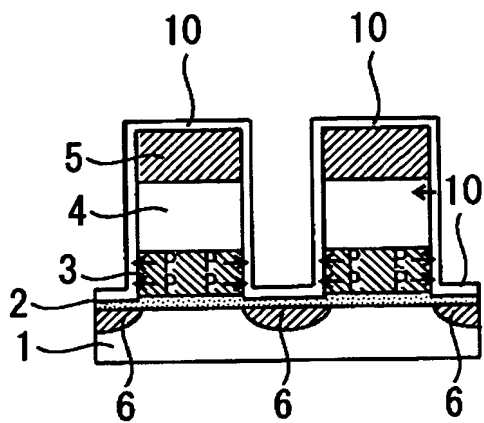
【図 8】



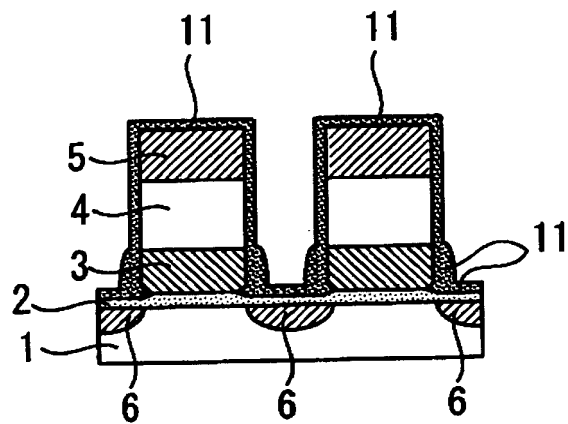
【図 9】



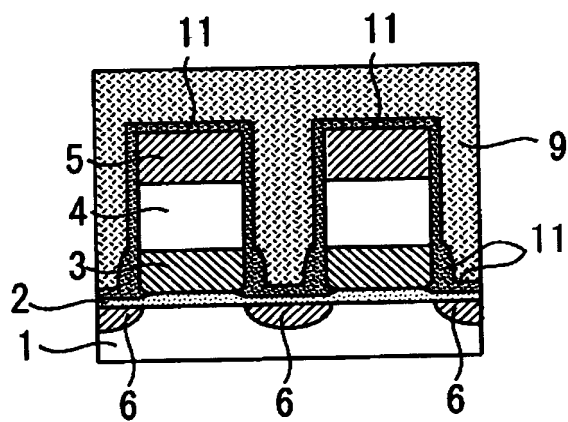
【図 1 0】



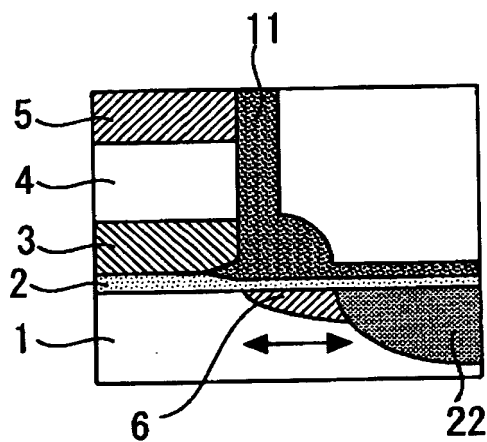
【図 1 1】



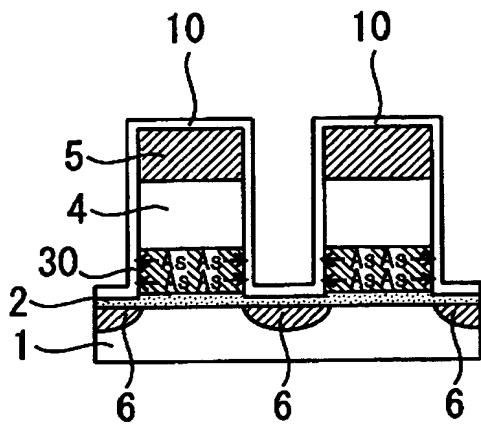
【図 1 2】



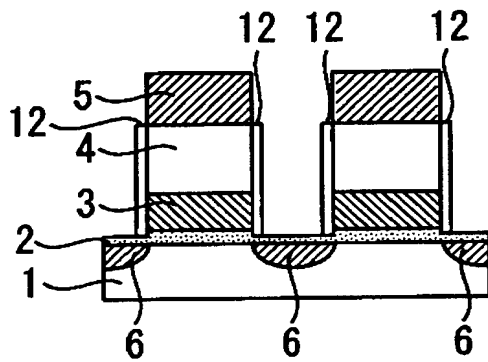
【図 1 3】



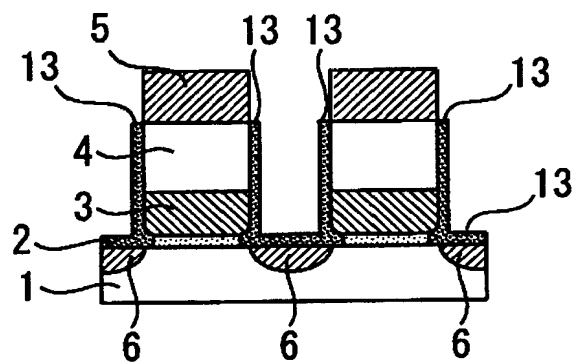
【図 1 4】



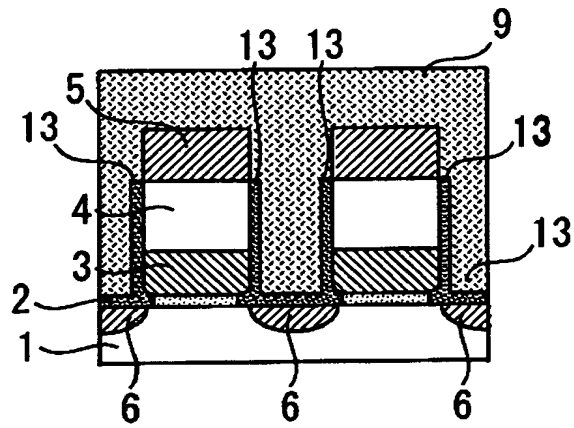
【図 1 5】



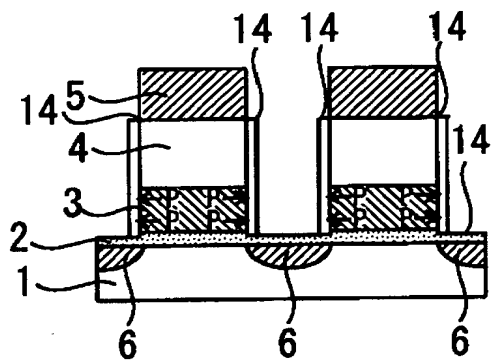
【図 1 6】



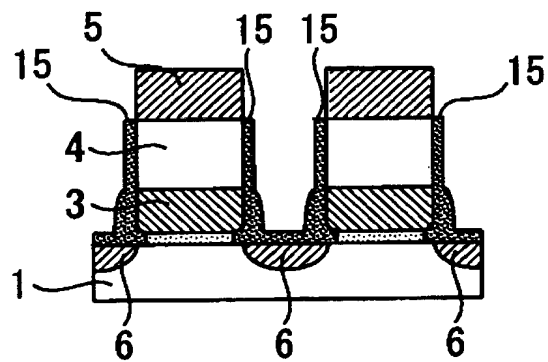
【図 17】



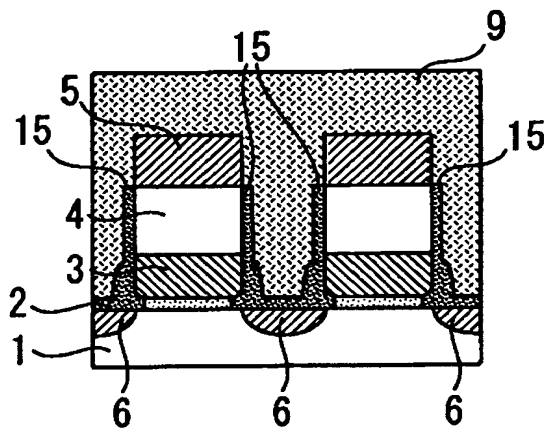
【図 18】



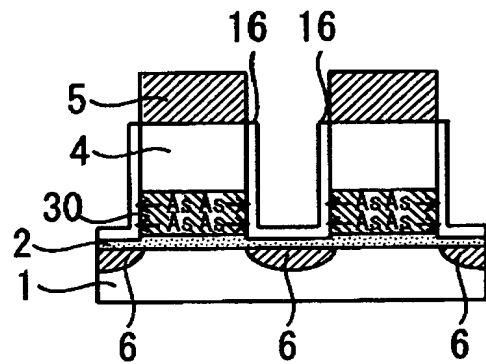
【図 19】



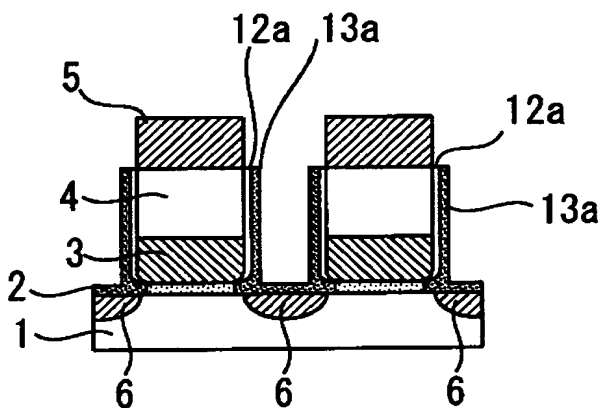
【図 20】



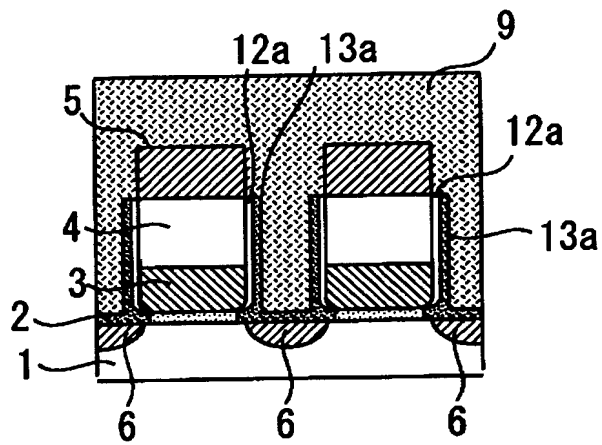
【図 2 1】



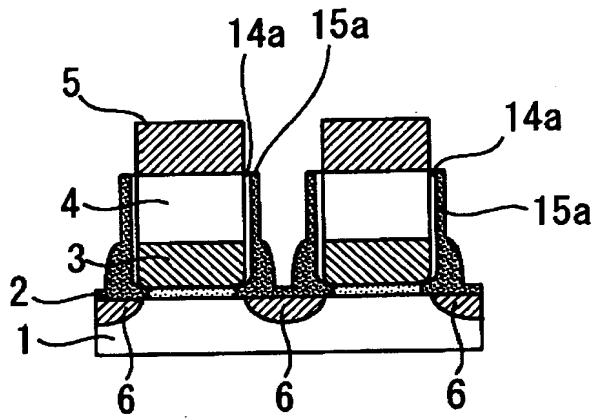
【图 2 2】



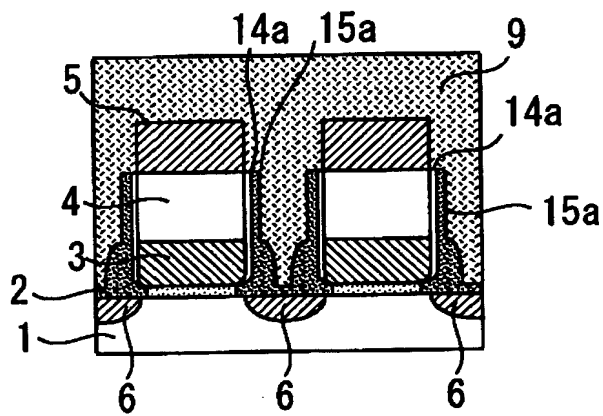
【図 2 3】



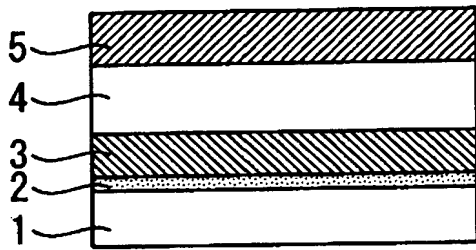
【図 2 4】



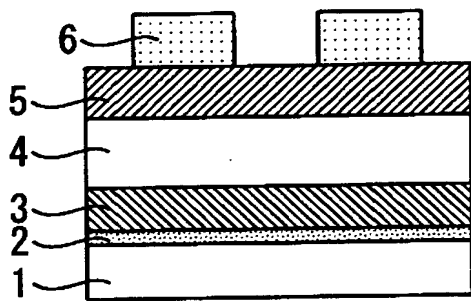
【図 2 5】



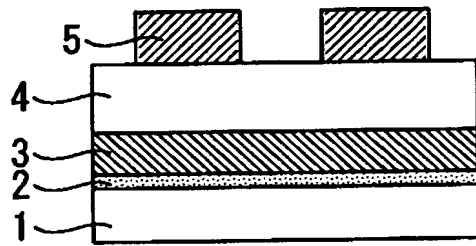
【図 2 6】



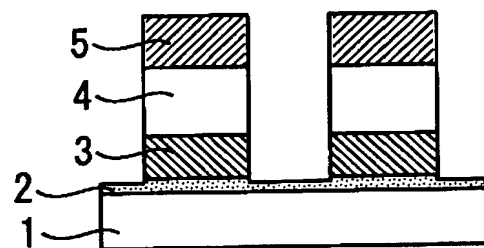
【図 2 7】



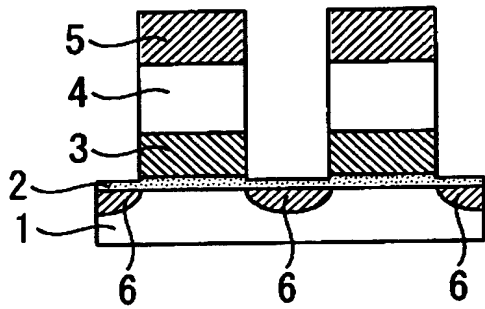
【図 2 8】



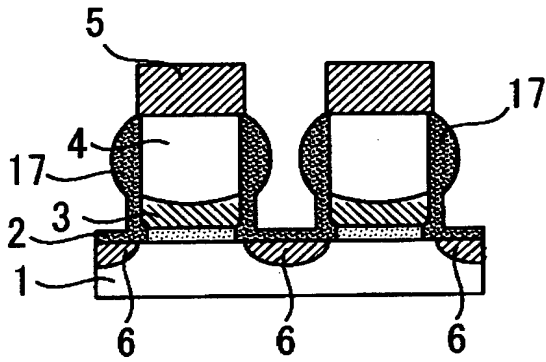
【図 2 9】



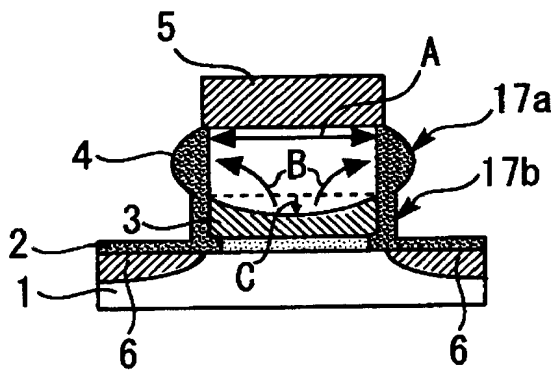
【図 3 0】



【図 3 1】



【図 3 2】



【書類名】 要約書

【要約】

【課題】 ゲート配線の配線抵抗を増大させることなく、ゲートバースピークを形成する。また、ゲート配線間における層間絶縁膜の埋め込みを容易に行う。

【解決手段】 基板 1 上にゲート酸化膜 2 を形成し、ゲート酸化膜 2 上に第 1 シリコン膜 3 とシリサイド膜 4 と絶縁膜 5 とを含むゲート配線を形成する。次に、ゲート配線をマスクとして不純物を注入して第 1 拡散層 6 を形成する。そして、ゲート配線を覆うように基板 1 の全面に第 2 シリコン膜を形成する。次に、第 2 シリコン膜を熱酸化して熱酸化膜 8 を形成する。そして、熱酸化膜 8 上に層間絶縁膜 9 を形成する。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社